

研究概要

老朽化したシンクロトロン高周波加速制御系をFPGA (Field Programmable Gate Array) を用いたデジタル高周波信号回路で構築した、高機能かつ最新技術のシステムに更新し、シンクロトロンを継続的に使えるようにする。

研究成果

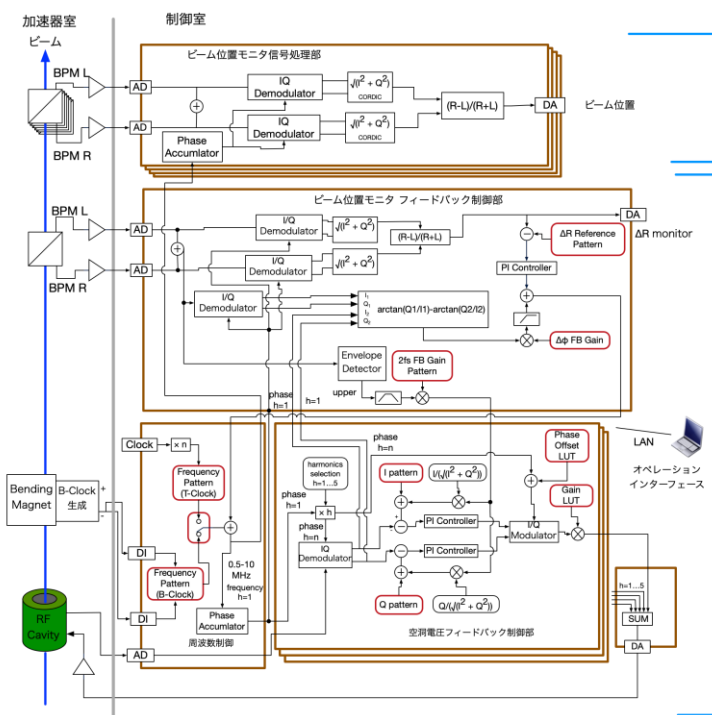


図1: 新高周波加速制御系の概念図

BPM処理部
2020年度 製作

フィードバック制御部
2019年度 製作

- MicroTCA.4 based
- 三菱電機特機システム製 AMC (AD x8, DA x2) x3
- Xilinx Zynq XC7Z045 : FPGA + Arm Cortex-A9
- Linux で EPICS IOC が動作している。
- 設定とモニタは EPICS の Channel Access で行う。
- 施設のタイミングシステムからのクロック 10MHz を 30 通倍して 300 MHz で駆動
- 空洞電圧とBPM信号を同期検波してフィードバック制御に用いる。

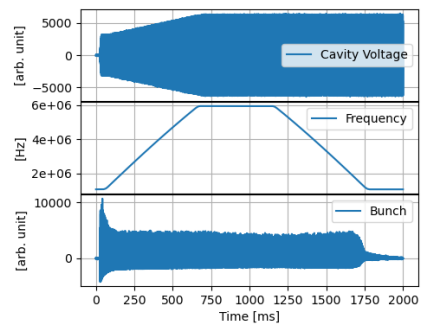


図2: 加速テスト結果
周波数(中段)からわかる
加速/減速フェーズにおいて、シンクロトロン中の電荷(下段)が加速/減速中も保持されていることより、ビームの加速が行われていることがわかる。

まとめ

2019-2020年にハードウェアの構築は完了した。現在、ビームテストを重ねデバック作業を行なっている。偏向電磁石の変化を検出したB-Clockに従って周波数を更新する B-Clock モードでは、図2のようにビームの加速に成功している。現在、BPM信号によって位相振動のフィードバック制御を抑制および横方向のビーム位置のフィードバック制御の試験に取り組んでいる。またオペレーションインターフェースの開発も行なっている。2022年度中のオペレーションインターフェースの完成を目指しており、2023年から段階的に、実際の運転に導入する予定である。